

# 底板采样与时钟控制在流水线型 ADC 中的应用

王磊 石寅

(中国科学院半导体研究所 北京 912 信箱 100083)

摘要: 采样 MOS 开关的沟道电荷注入效应是影响模数转换器采样精度的重要因素之一, 本文利用开关-电容结构的底板采样技术, 通过对时钟的控制, 有效消除了沟道电荷注入效应。

## 引言

采样/保持电路(S/H)是影响 ADC 速度、精度的关键部件, 其间, 采样 MOS 开关的沟道电荷注入效应是重要因素之一。本文分析了沟道电荷注入效应的产生机理, 在此基础上, 采用开关-电容结构的底板采样技术, 通过对时钟的控制, 有效消除了沟道电荷注入效应。

### 一、沟道电荷注入效应(Channel Charge Injection)影响采样精度<sup>[1]</sup>

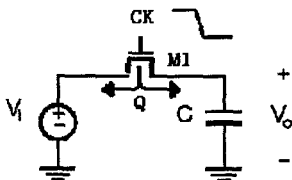


图1. 开关断开时电荷注入

采样/保持电路(S/H)的基本形式是由一个 MOS 开关和一个采样电容组成, 如图 1 所示。

当  $CK=1$  为高电平时, 二氧化硅与硅界面形成沟道, 假设  $V_i \approx V_o$ , 此时在反型层中总的沟道电荷量  $Q_{ch}$

$$Q_{ch} = WLC_{ox}(V_{DD} - V_i - V_{TH})$$

公式中的  $L$  表示有效沟道长度, 当开关断开时, 反型层中的电荷  $Q_{ch}$  要通过源和漏端退出反型层, 这种现象称为沟道电荷注入。图 2 中通过源级注入到左侧的沟道电荷由于被输入源吸收, 没有产生误差, 但通过漏级注入到右侧的沟道电荷则存储

到采样电容  $C$  上,  $V_o$  产生了电压偏差。如果假设有  $1/2Q_{ch}$  注入到采样电容  $C$  上, 产生的电压偏差  $\Delta V$ 。

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_i - V_{TH})}{2C}$$

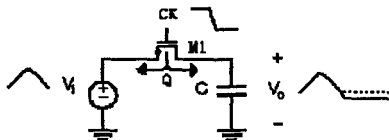


图2. 开关断开时电荷注入

如图 2 所示由于沟道电荷注入效应的影响在开关断开后, 输出  $V_o$  产生  $\Delta V$  的误差, 这个误差与  $WLC_{ox}$  成正比关系与采样电容  $C$  成反比关系。

在开关断开后的瞬间, 由于沟道电荷注入到采样电容上, 将直接影响到采样/保持电路的精度, 因此沟道电荷注入效应是影响采样/保持电路精度的一个重要因素。

在最差情况下我们假设所有的沟道电荷全部注入到采样电容上, 这时采样输出电压表示为:

$$V_o \approx V_i - \frac{WLC_{ox}(V_{DD} - V_i - V_{TH})}{C}, \text{若忽略输入到输出的相位偏移, 则:}$$

$$V_o = V_i \left(1 + \frac{WLC_{ox}}{C}\right) - \frac{WLC_{ox}}{C}(V_{DD} - V_{TH})$$

可以看出实际采样输出与理想采样输出的偏差由两部分组成: 增益大于单位 1, 为  $1 + WLC_{ox}/C$ ; 失调电压  $-WLC_{ox}(V_{DD} - V_{TH})/C$ 。这里我们假设沟道电荷是输入电压的线性函数, 所以只有增益误差与直流失调。但是对于 NMOS 开关, 体效应的存在是不可忽视的, 因为  $V_{TH} = V_{TH0} + \gamma(\sqrt{2\Phi_B + V_{SB}} - \sqrt{2\Phi_B})$ , 且  $V_{BS} \approx -V_i$ <sup>[2]</sup> 所以

$$V_o = V_i - \frac{WLC_{\alpha}}{C} (V_{DD} - V_i - V_{TH0} - \gamma\sqrt{2\Phi_B + V_i} + \gamma\sqrt{2\Phi_B}),$$

$$= V_i (1 + \frac{WLC_{\alpha}}{C}) + \gamma \frac{WLC_{\alpha}}{C} \sqrt{2\Phi_B + V_i} - \frac{WLC_{\alpha}}{C} (V_{DD} - V_{TH0} + \gamma\sqrt{2\Phi_B})$$

由于  $V_{TH}$  与输入电压  $V_i$  成非线性关系, 于是在输入/输出特性中引入了非线性误差。总的来说沟道电荷的注入在 MOS 采样电路中引入了三种类型的误差, 增益误差; 直流失调; 和非线性误差。在多数应用中前两种误差是可以忍受或者校正的, 而非线性误差则不能。

沟道电荷注入效应的存在限制了模数转换器中采样电路的精度-速度, 目前最常用的沟道电荷抵消技术是“底板采样技术”(bottom-plate sampling), 该技术广泛应用于开关-电容 (switched-capacitor) 电路中。开关-电容电路中的采样开关主要由两相-非重叠时钟控制, 这种时钟的采用主要是用来消除沟道电荷对采样精度的影响。

### 控制时钟来消除沟道电荷注入效应<sup>[3]</sup>

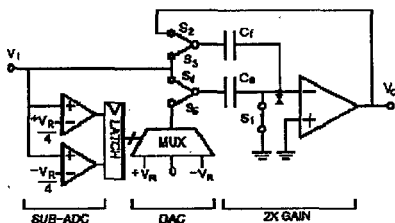


图3. 用开关-电容实现的1.5位/级流水线型模数转换器的单级结构

有效的消除沟道电荷注入效应的影响。

图3中的单级电路在两相-非重叠时钟下工作, 在第一个时钟有效期间, 开关  $S_2$  和  $S_3$  断开, 开关  $S_1$ 、 $S_3$  和  $S_4$  闭合, 输入信号  $V_i$  输入到开启电压为  $\pm \frac{V_{REF}}{4}$  的 SUB-DAC 的输入端, 输入信号范围是  $-V_{REF} : +V_{REF}$  (差分)。同时输入信号  $V_i$  通过开关  $S_3$  和  $S_4$  加到采样电容  $C_f$  和  $C_s$  上 ( $C_f = C_s$ )。在第一个时钟有效结束前, 输入信号  $V_i$  采样到采样电容  $C_f$  和  $C_s$  上, SUB-DAC 的输出被锁存。在第二个时钟有效期间, 开关  $S_2$  和  $S_3$  闭合, 开关  $S_1$ 、 $S_3$  和  $S_4$  断开, 采样电容  $C_f$  与运放组成负反馈环路, 采样

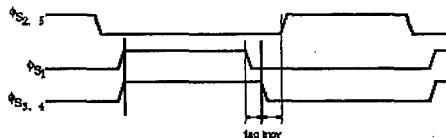


图4. S1、S2、S3、S4、S5的时钟控制信号

前  $t_{lag}$  时间下降, 这样可以消除沟道电荷注入效应对采样精度的影响。

1.5 位/级流水线型模数转换器中每一级均工作在两相-非重叠时钟下, 所有的奇数级在时钟  $\Phi_2$  高时采样, 并在时钟  $\Phi_1$  高时提供给下一级一个有效的余差输出; 所有的偶数级在时钟  $\Phi_1$  高时采样, 并在时钟  $\Phi_2$  高时提供给下一级一个有效的余差输出。图3是用开关-电容结构实现的1.5位/级流水线型模数转换器的单级结构图, 图中为了简化, 使用的是单端结构图, 在实际应用中是全差分结构。通过对采样开关  $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ 、 $S_5$  上时钟的控制可以有

电容的顶板 (top-plate) 连接到 DAC 的输出, 最后产生余差输出信号到下一级。

图4是控制开关  $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ 、 $S_5$  的时钟信号。

由图4可见开关  $S_2$ 、 $S_3$  的控制时钟与开关  $S_3$ 、 $S_4$  的控制时钟是两相-非重叠时钟, 开关  $S_1$  上的控制时钟与开关  $S_3$ 、 $S_4$  上的控制时钟同时上升, 但提

这里有一条重要的经验知识, 当开关  $S_1$  断开后, 节点 X 处总的电荷量不会改变, 因为在节点 X 处不存在电子流入或流出的路径。因此在开关  $S_1$  断开后的瞬间, X 节点处或者采样电容  $C_f$  和  $C_s$  右极板上的总的电荷量为  $Q_x = V_i(C_s + C_f)$ , 在开关  $S_3$ 、 $S_4$  断开后,  $S_3$ 、 $S_4$  上的沟道电荷注入到采样电容  $C_f$  和  $C_s$  左极板后, X 节点处或者采样电容  $C_f$  和  $C_s$  右极板上的总的电荷量保持不变, 当开关  $S_2$ 、 $S_5$  导通后, 最后输出电压  $V_o = V_i(C_s + C_f)/C_s$  或是  $V_o = V_i(C_s + C_f)/C_s \pm V_R$ , 当  $C_f = C_s$  时,  $V_o = 2V_i$  或是  $V_o = 2V_i \pm V_R$ 。

总的来说, 当开关  $S_1$  断开后, 节点 X “悬空” (floats), 使得节点 X 处的电荷量恒定不变, 不受电路其他节点的影响。这样当反馈回路形成后, 开关  $S_3$ 、 $S_4$  的沟道电荷不会影响到输出电压的精度。从另一个角度来说, 节点 X 在开关  $S_1$  断开的瞬间为虚地点, 与此同时“冻结” (freezing) 此时采样电容  $C_f$  和  $C_s$  上的输入电平, 并使  $C_f$  和  $C_s$  左极板上带有  $Q_x = V_i(C_s + C_f)$  的电量, 负反馈建立后, 节点 X 再次成为虚地点,  $C_f$  和  $C_s$  上仍然带有  $Q_x = V_i(C_s + C_f)$  的电量, 使得输出电压  $V_o = V_i(C_s + C_f)/C_s$ 。

开关  $S_2$ 、 $S_5$  开启时需要在 MOS 管二氧化硅表面形成反型层, 这就需要吸收沟道电荷, 由前面的分析中, 开关  $S_1$  断开后, 采样电容  $C_f$  和  $C_s$  右极板上的总的电荷量保持不变, 因此开关  $S_2$  上的沟道电荷由运放提供, 开关  $S_5$  上的沟道电荷由 DAC 提供, 不会引入误差。

由开关  $S_1$  的沟道电荷引起的误差为恒定的失调电压, 因此可以利用全差分结构来消除。

$t_{nov}$  是两相时钟的非重叠间隔时间, 在  $t_{nov}$  内, 两相时钟均为低电平, 在 1.5 位/级流水线型模数转换器中这段时间是 SUB-ADC 用来量化采样信号, 并选择正确的 DAC 电平。

### 结论

采样 MOS 开关的沟道电荷注入效应是影响模数转换器采样精度的重要因素之一, 本文在详细分析沟道电荷注入效应产生机理的基础上, 利用开关-电容结构的底板采样技术, 通过对时钟的控制, 有效消除了沟道电荷注入效应, 从而使采样保持电路满足 10 位的精度要求。

### 参考文献

- 1、Behzad Razavi 《Design of Analog CMOS Integrated Circuits》
- 2、Phillip E. Allen, Douglas R. Holberg 著 《CMOS Analog Circuit Design》 Second Edition
- 3、A. Abo, Design for reliability of low-voltage switched-capacitor circuits. PhD thesis, University of California, Berkeley, 1999